

PATENT ABSTRACTS OF JAPAN

FIRST AVAILABLE COPY

(11)Publication number : 02-148844
 (43)Date of publication of application : 07.06.1990

(51)Int.Cl. H01L 21/3205
 H01L 21/316
 H01L 21/318
 // H01L 21/302

(21)Application number : 63-303269
 (22)Date of filing : 30.11.1988

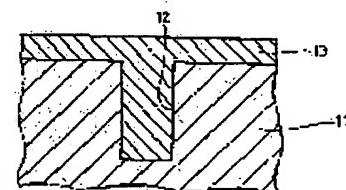
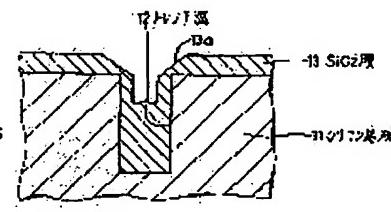
(71)Applicant : SONY CORP
 (72)Inventor : GOCHO TETSUO
 SATO JUNICHI
 KADOMURA SHINGO

(54) METHOD OF FILLING IN TRENCH

(57)Abstract:

PURPOSE: To make it possible to realize the filling in a trench having a high aspect ratio with an insulating film and the flattening of the surface with excellent flatness characteristics by using oxygen or nitrogen ions as etching species, forming an insulating film, adding rare gas into the etching species, and forming the insulating film.

CONSTITUTION: A trench 12 having a 1- μm depth and 0.46- μm width is provided in a silicon substrate 11. Bias ECR and plasma CVD are performed on the substrate 11. An SiO₂ film 13 is deposited on the flat surface of the substrate 11 to a thickness of about 7,000 \AA . The conditions of the CVD are as follows: when 24 SCCM of SiH₄ and 40 SCCM of O₂ gas which is to become etching species are made to flow, the shoulder part of the trench 12 is not chipped; and a over-cut part 13a is formed at an SiO₂ film 13. Then, the trench 12 is filled in to the depth of about 70% with the SiO₂ film 13. Then, the conditions of the CVD are set as follows: 12 SCCM of SiH₄ gas; 20 SCCM of O₂ gas; and 45 SCCM of Ar gas. SiO₂ is deposited until the SiO₂ film 13 is flattened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平2-148844

⑬ Int. Cl. 5	識別記号	序内整理番号	⑭ 公開 平成2年(1990)6月7日
H 01 L 21/3205 21/316 21/318 // H 01 L 21/302	X B N	6810-5F 6810-5F 8223-5F 6810-5F	H 01 L 21/88 K 審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 トレンチ埋込み方法

⑯ 特 願 昭63-303269
 ⑰ 出 願 昭63(1988)11月30日

⑱ 発明者 牛 腸 哲 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発明者 佐 藤 淳 一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 発明者 門 村 新 吾	東京都品川区北品川6丁目7番35号	ソニー株式会社内
㉑ 出願人 ソニーブルーステーションズ株式会社	東京都品川区北品川6丁目7番35号	
㉒ 代理人 弁理士 志賀 富士弥	外1名	

明細書

1. 発明の名称

トレンチ埋込み方法

2. 特許請求の範囲

(1) 半導体基板のトレンチ溝にバイアス ECR プラズマ CVD により絶縁膜を埋め込むに際し、酸素又は窒素イオンをエッティング程として絶縁膜を形成し、次いで希ガスを前記エッティング程に添加して絶縁膜を形成することを特徴とするトレンチ埋込み方法。

(2) 半導体基板のトレンチ溝にバイアス ECR プラズマ CVD により SiO₂膜を埋め込むに際し、酸素イオンのみをエッティング程として前記トレンチ溝の深さの 5~8 割まで SiO₂膜を形成し、次いで希ガスを前記エッティング程に添加して SiO₂膜を形成することを特徴とするトレンチ埋込み方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、バイアス ECR (Electron Cyclotron Resonance) プラズマ CVD を用いたトレンチ埋

込み方法に関するものである。

[発明の概要]

本発明は、半導体基板のトレンチ溝にバイアス ECR プラズマ CVD により絶縁膜を埋め込むに際し、酸素又は窒素イオンをエッティング程として絶縁膜を形成し、次いで希ガスを前記エッティング程に添加して絶縁膜を形成することにより、

アスペクト比の高いトレンチを、開口肩部を削ることなく平坦に埋め込めるようにしたものである。

[従来の技術]

近年、実用化を迎えたバイアス ECR プラズマ CVD 法は、絶縁膜の堆積とエッティングとを同時に行なえると共に、低ガス圧下での膜形成が可能であり、バイアス印加によってプラズマ CVD 法に比べステップカバレージも良好にでき、また、平坦化絶縁膜の形成も可能にする段階になってき

特開平2-148844(2)

た。

バイアス ECR プラズマ CVD 装置としては、例えば第3図に示すようなものがあり、マイクロ波導入部 1 よりマイクロ波 (2.45 GHz) を導入し、プラズマ室 2 に導入された酸素 (O₂) をプラズマ化し、このプラズマ流 3 を SiH₄ ガス存在下でウェハ 4 に供給し、該ウェハ 4 上に SiO_x 膜の形成を行なうようになっている。なお、図中 5 はマグネットコイルであり、6 は試料台であって、試料台 6 には高周波電力を印加してバイアスを付加している。

所るバイアス ECR プラズマ CVD 法の応用例としてトレンチアイソレーションの埋込み平坦化がある。これは、上述のようにバイアス ECR プラズマ CVD 法の特徴を生かして高アスペクト比のトレンチを埋め込むというものである。バイアス ECR プラズマ CVD は、バイアスを印加しないノンバイアス条件で膜形成を行なうと高アスペクト比のトレンチを埋め込む場合、第4図に示すように、シリコン板 7 のトレンチ開口部で SiO_x

レンチを良好に埋め込んで平坦化し、さらに、半導体基板のトレンチ開口部を損傷することのないトレンチ埋込み方法を得んとするものである。

【課題を解決するための手段】

そこで、本発明は、半導体基板のトレンチ側にバイアス ECR プラズマ CVD により絶縁膜を埋め込むに際し、酸素又は窒素イオンをエッティング種として絶縁膜を形成し、次いで希ガスを前記エッティング種に添加して絶縁膜を形成することを、その主たる解決手段としている。

【作用】

酸素又は窒素イオンをエッティング種としてバイアス ECR プラズマ CVD を行なうことにより、トレンチ側内壁に沿って絶縁膜が断面略 U 字形状に堆積する。次に、希ガスを前記エッティング種に添加してバイアス ECR プラズマ CVD を行なうことにより、トレンチ側内の絶縁膜で形成された凹部は徐々埋め込まれ、平坦に形成される。

膜 8 どうしが詰まり底部への SiO_x の堆積が少なくなり、SiO_x 膜 8 内に空洞 9 が発生する問題があった。

そこで、バイアスを印加してスパッタ成分を持たせトレンチ開口部での SiO_x 膜 8 どうしの詰まりを抑制しながら膜形成を行なう必要がある。一般には、アルゴン (Ar) 等の希ガスをエッティング種として用いてバイアス ECR プラズマ CVD を行なって、第5図に示すように、トレンチ開口部での SiO_x 膜 8 どうしの詰まりを防止している。

【発明が解決しようとする課題】

しかしながら、このようにアルゴン (Ar) 等の希ガスをエッティング種として用いたバイアス ECR プラズマ CVD による従来例にあっては、第5図に示したように、トレンチ肩部 (開口部) が削られてしまう問題点があり、アスペクト比が高くなるに従って特に問題化する傾向がある。

本発明は、このような従来の問題点に着目して創案されたものであって、アスペクト比の高いト

【実施例】

以下、本発明に係るトレンチ埋込み方法の詳細を図面に示す実施例に基づいて説明する。

(第1実施例)

第1図 A 及び第1図 B は、本発明の第1実施例を示している。

本実施例は、半導体基板としてのシリコン基板 11 に形成された、深さ 1 μm、幅寸法 0.46 μm のトレンチ溝 12 に SiO_x 膜 13 を埋め込んだ例である。

先ず、シリコン基板 11 上に、バイアス ECR プラズマ CVD を行ない、該基板 11 の平坦面上に SiO_x 膜 13 を約 7000 Å 堆積させる。このバイアス ECR プラズマ CVD の条件は、実効マイクロ波パワー 800 W で、SiH₄ ガスを 24 SCCM、エッティング種となる O₂ ガスを 40 SCCM を流し、圧力～5×10⁻¹ torr で凡てバイアスを 300 W 印加する。このとき、第1図 A に示すように、トレンチ溝 12 の肩部は、削

特開平2-148844(3)

られることことがなく、また、SiO_x膜13にはオーバーカット部13aが形成される。さらに、トレンチ溝12はSiO_x膜13で約70%の深さまで埋め込まれるようにする。

次に、バイアスECRプラズマCVDの条件を、実効マイクロ波パワー800W, SiH₄ガスを12SCCM, O₂ガスを20SCCM, Arガスを43SCCM, 圧力～1×10⁻³torr, RFバイアス300Wに設定し、第1図Bに示すように、SiO_x膜13が平坦化されるまでSiO_xの堆積を行なう。

ここで、第1図Aに示した最初の工程により、SiO_x膜にオーバーカット部13aが形成されていたため、第1図Bに示す後の工程で埋込みが容易となる。このため、本実施例においては、エッティング程にO₂ガス(酸素イオン)のみを用いてバイアスECRプラズマCVDを行なった場合よりも、トレンチ溝12の上部に堆積されるSiO_x膜13が薄くて平坦化できる利点がある。

(第2実施例)

を短くすることで、エッティングイオンの斜め成分を増加させる。すると、トレンチ溝12内のSiO_x膜13の溝底部のエッティングに寄与するイオンはシャドー効果により、溝底部中心付近へ入射するイオン数が溝周辺部に入射するイオン数より多くなり、溝底部に堆積されたSiO_x膜13の形状は、中心部が薄く周辺部が厚いラウンド形状となる(第2図C)。なお、本実施例においては、アルゴン(Ar)を用いたがアルゴンより質量の大きいクリプトン(Kr), キセノン(Xe)等の希ガスを用いてもよい。

次に、バイアスECRプラズマCVDの条件を、SiH₄を12SCCM, O₂を20SCCM, Arを43SCCM, 実効マイクロ波パワーを800W, RFパワーを300W, 圧力を～1×10⁻³torrに設定し、SiO_x膜13が平坦化されるまで堆積を行なう(第2図D)。このとき、第2図Cに示すようなSiO_x膜13の溝周辺部が薄く、溝中心部が厚くなるカバレージであっても上記したラウンド形状により、そのカバレージが相

第2図A～第2図Dは、本発明の第2実施例を示している。

本実施例は、第2図Aに示すように、まずシリコン基板11上に形成したSiO_x膜13をマスクとして異方性エッティングしてトレンチ溝12を形成する。

次に、エッティングマスクとして用いたSiO_x膜13を残したまま、バイアスECRプラズマCVDを行なう(第2図B)。このバイアスECRプラズマCVDの条件は、SiH₄を24SCCM, エッティング程としてのO₂を40SCCMで流し、圧力～5×10⁻⁴torrで実効マイクロ波パワー800W, RFパワー300Wを印加する。この場合、エッティング率のほうが堆積率よりも高いため、SiO_x膜13の閉口部にはオーバーエッティング部13aが形成される。

次に、条件として、エッティング程となるアルゴン(Ar)を50SCCM, 実効マイクロ波パワーを800W, RFパワーを300W, 圧力を4×10⁻³torrと高めに設定し、平均自由行程

投されて良好な埋込みが行なえる。また、同図に示すようにSiO_x膜13の閉口部がテバ状のオーバーエッティング部13aとなっているため、閉口部が狭くなることがない。

以上、実施例について説明したが、本発明においては、この他各種の設計変更が可能であり、例えば、希ガスとしてアルゴン(Ar)の以外のものを用いてしてもよい。

また、上記両実施例においては、絶縁膜としてSiO_x膜を適用したが、盛化シリコン膜をトレンチ溝に形成する場合にも適用可能であり、この場合、エッティング程として窒素イオンを用いる。

また、本発明においては、酸素イオンをエッティング程として用いバイアスECRプラズマCVDによるSiO_x膜の堆積はトレンチ溝の深さに対して5～8割までの深さ形成すると、後の希ガスを用いたバイアスECRプラズマCVDによるSiO_x膜の堆積、平坦化が特に良好であった。

[発明の効果]

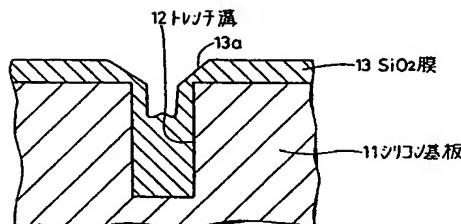
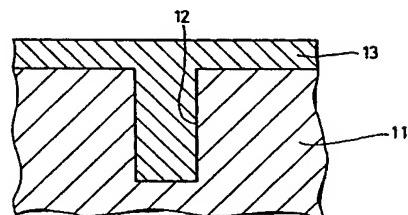
以上の説明より明らかなように、本発明に係るトレンチ埋込み方法によれば、アスペクト比の高い溝内への絶縁膜の埋込み平坦化が良好な平坦特性で実現出来る効果がある。特に、半導体基板のトレンチ溝開口部を削ることなく絶縁膜の埋込み平坦化が可能となる。

4. 図面の簡単な説明

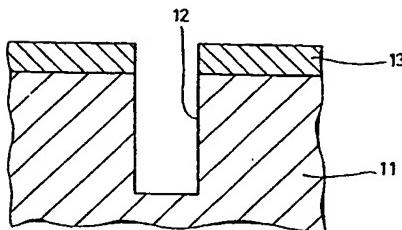
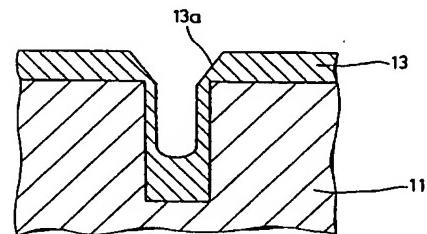
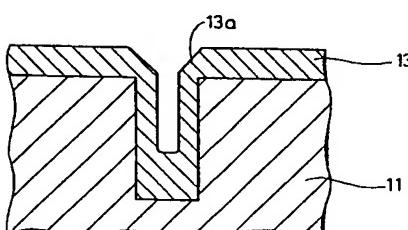
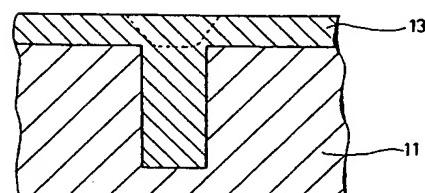
第1図A及び第1図Bは本発明に係るトレンチ埋込み方法の第1実施例を示す断面図、第2図A～第2図Dは同第2実施例を示す断面図、第3図はバイアスE C R プラズマC V D 装置の説明図、第4図及び第5図は従来例を示す断面図である。

11…シリコン基板、12…トレンチ溝、13…SiO₂膜。

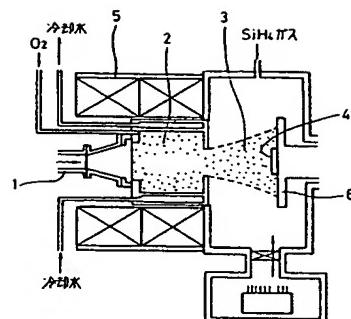
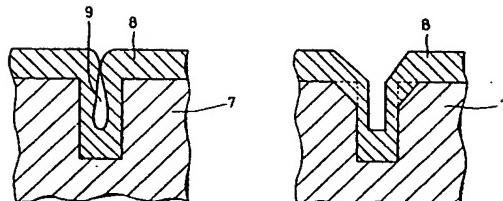
特開平2-148844(4)

第1図A
第1実施例の断面図第1図B
第1実施例の断面図

代理人 志賀富士
外1名

第2図A
第2実施例の断面図第2図C
第2実施例の断面図第2図B
第2実施例の断面図第2図D
第2実施例の断面図

特開平2-148844(5)

バイアスECRアラズマCVD装置
第3図従来例の断面図
第4図従来例の断面図
第5図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成9年(1997)1月10日

【公開番号】特開平2-148844

【公開日】平成2年(1990)6月7日

【年通号数】公開特許公報2-1489

【出願番号】特願昭63-303269

【国際特許分類第6版】

H01L 21/3205

21/316

21/318

// H01L 21/3065

【F1】

H01L 21/88 K 8427-4M

21/316 X 8719-4M

21/318 B 8719-4M

21/302 N 7352-4M

手 続 業 紹 正 司

平成7年11月30日

特許庁長官印

1. 事件の表示

昭和63年特許願第303269号



2. 補正をする者

事件との関係 出願人

ソニー株式会社

3. 代理人

T104

東京都中央区明石町1番20号 放送会ビル

電話 03-3545-2251 (代表)

FAX 03-3545-5560

識別番号 100062199

弁理士 志賀 富士弓



4. 補正の対象

(1) 明細書の発明の詳細な説明の部。

(2) 図面。

5. 補正の内容

(1) 明細書中第5頁第2行目の「損傷すること」を、「損傷することの」に補正する。

(2) 明細書中第5頁第18行目の「徐々埋め込まれ、」を、「徐々に埋め込まれ、」に補正する。

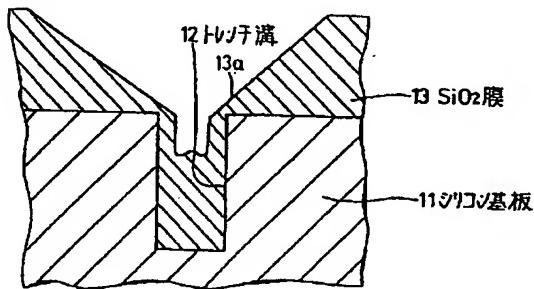
(3) 明細書中第6頁第17行目の「SCCMを流し、」を、「SCCM流し、」に補正する。

(4) 明細書中第6頁第17~18行目の「REバイアス」を、「RFバイアス」に補正する。

(5) 明細書中第9頁第17~18行目の「第2図C」を、「第1図A」に補正する。

(6) 図面の「第1図A」を別紙の通り補正する。

以上



実施例の断面図

第1図A